

⑫ 公開特許公報(A)

昭60-250639

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)12月11日

H 01 L 21/58

6732-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 ハイブリッドIC

⑯ 特 願 昭59-107086

⑰ 出 願 昭59(1984)5月25日

⑱ 発 明 者 成 田 万 紀 大津市晴嵐2丁目9番1号 関西日本電気株式会社内

⑲ 出 願 人 関西日本電気株式会社 大津市晴嵐2丁目9番1号

⑳ 代 理 人 弁理士 江 原 省 吾 外1名

明 細 書

1. 発明の名称

ハイブリッドIC

2. 特許請求の範囲

(1) 基板上に上面に比較的小形の半導体ベレットをマウントした比較的大形の半導体ベレットをマウントしたことを特徴とするハイブリッドIC。

3. 発明の詳細な説明

イ. 産業上の利用分野

この発明は1つの基板上に複数の半導体ベレットをマウントし配線したハイブリッドICに利用される。

ロ. 従来の技術

最近電子部品は小形化が著しく、ハイブリッドICも例外ではなく、大規模な回路や複雑な回路の集積度を上げて小形化することが要求されている。

しかしながら、大規模な回路を1個のICベレットに収納するには、現状では限界がある。

そこで、ハイブリッドICは1枚の基板上に複数のICベレットを可能な限り高密度にマウントした設計が一般化している。例えば従来の高密度ハイブリッドICの一例を第1図を参照しながら説明すると、(1)は1枚の基板で、例えばセラミックやエポキシ樹脂等の絶縁基板の上面に配線パターン(図示せず)を形成した配線基板である。(2)、(2)、……は基板(1)の周辺から外方に延びる複数のリード、(3)、(3)、……は基板(1)上にマウントした大小様々な複数のICベレット、(4)、(4)、……はICベレット間やICベレット(3)、(3)、……と基板(1)上の配線パターンの間、配線パターンとリード(2)、(2)、……の間、或いはICベレット(3)、(3)、……とリード(2)、(2)、……の間を電気的接続する複数のボンディングワイヤである。

上記ICベレット(3)、(3)、……は、信号用、電力用、スイッチング用などの機能のものが選択されて可能な限り高密度に配置され、

これらを電氣的配線してから基板(1)の周辺まで含めて樹脂モールド成形或いは、樹脂の粉体塗装等を行って1つの多機能ハイブリッドICが得られる。

ハ、発明が解決しようとする問題点

ところで、従来のハイブリッドICは上述の如く1枚の基板(1)上に複数のICペレット(3)、(3)、……を二次元的配置でマウントしているため、基板(1)上でのペレット専有面積は、各ICペレット(2)、(2)、……の個々の専有面積の合計に等しく、基板(1)上でのICペレット(2)、(2)、……の高密度配置化はICペレット(2)、(2)、……の個々の面積と配置数に左右され、ペレット高密度配置化には自ずと限界があり、これがハイブリッドICのより小形化の実現を難しくしていた。またICペレット(2)、(2)、……の基板(1)上での実質上の専有面積は、ICペレット(2)、(2)、……から延びるボンディングワイヤ(4)、(4)、……の基板(1)上に

占める面積を含めた大きさが必要であり、従って尚更にペレット高密度配置化が難しく、改善策が要望されていた。

ニ、問題点を解決するための手段

本考案の技術的課題は大小様々な複数の半導体ペレットを1つの基板上により高密度配置して高集積度化したハイブリッドICを提供することにある。

この技術的課題を解決する本考案の技術的手段は、1つの基板上に複数の半導体ペレットを多段に積んで三次元的にマウントすることである。詳しくは1つの基板上に、1つ又は複数の比較的小形の半導体ペレットを上面にマウントした比較的大形の半導体ペレットを、1つ又は複数にマウントすることである。

ホ、作用

上記技術的手段によると、1つの基板上におけるペレット専有面積は少なくとも上述の比較的大形の半導体ペレット上にマウントされる比較的小形の半導体ペレットの面積分だけ小さく

、それだけ基板上でのペレット密度を上げることができ、ハイブリッドICのより小形化を可能にする。これを換言すると1つの基板上により多数の半導体ペレットのマウントを可能にし、より多機能のハイブリッドICを得ることが容易になる。

ヘ、実施例

本考案の一実施例を第2図に基づき説明する。この第2図の実施例は第1図のハイブリッドICと比較対照したもので、(5)は絶縁基板上に配線パターン(図示せず)を形成した1枚の基板、(6)、(6)、……は基板(5)の周辺から外方に延びる複数のリード、(7)、(7)、……は基板(5)上にマウントした複数のICペレット、(8)、(8)、……は各ICペレット(7)、(7)、……と基板(5)上の配線パターン、配線パターンとリード(6)、(6)、……などの電氣的配線を行う複数のボンディングワイヤである。この実施例の特徴は大小様々なICペレット(7)、(7)、……の内

、比較的大形のものと比較的小形のものを分け、大形のものが例えば4つでこれを下部ICペレット(7a)～(7d)と称し、小形のものが例えば7つでこれを上部ICペレット(7e)～(7k)と称すると、基板(5)上に上面に上部ICペレット(7e)～(7k)の1つ又は複数にマウントした下部ICペレット(7a)～(7d)を二次元的にマウントして全体として各ICペレット(7)、(7)、……を三次元的にマウントしたことである。第2図では1つの下部ICペレット(7a)上に1つの上部ICペレット(7e)を、他の各下部ICペレット(7b)、(7c)、(7d)上に各々2つずつの上部ICペレット(7f)と(7g)、(7h)と(7i)、(7j)と(7k)をマウントした例を示す。

下部ICペレット(7a)～(7d)上への上部ICペレット(7e)～(7k)のマウントは、エポキシ樹脂等の絶縁性ペーストを使って行うのが望ましく、基板(5)上への下部ICペレット(7a)～(7d)のマウントは従来同様に銀ベ

ーストや半田などを使用して行えばよい。またワイヤボンディングは全ICペレット(7)、(7)、……のマウント完了後に行う。

上記構成によると基板(5)上でのペレット専有面積は、下部ICペレット(7a)～(7d)の合計面積だけで決まり、また上部ICペレット(7e)～(7k)のボンディングワイヤ専有面積は下部ICペレット(7a)～(7d)の面積内に含まれる。従って、基板(5)上の実質上のペレット専有面積は少なくとも上部ICペレット(7e)～(7k)の実質上の専有面積分だけ小さくなり、第1図の従来品との比較で約1/2近く専有面積縮小化が図れ、約2倍のペレット高密度配置化が可能となり、それだけ基板(5)の小形化、ハイブリッドICの小形化が可能となる。逆に従来品と同一サイズの基板を使用した場合は、より多くのICペレットマウントを可能にする。

次に上記ハイブリッドICの製造について説明する。

他の下部ICペレット(7b)～(7d)、上部ICペレット(7f)～(7k)も第3図と同様の要領で製造し、基板(5)上にマウントする。

上記製造例以外に次の一般的な製造も考えられる。即ち、下部ICペレット(7a)～(7d)、上部ICペレット(7e)～(7k)の全てを個々に製造しておき、先ず基板(5)上に4つの下部ICペレット(7a)～(7d)をマウントする。次に基板(5)上にマウントされた下部ICペレット(7a)～(7d)上に対応する上部ICペレット(7e)～(7k)をマウントする。

しかし、この案は、第3図に示した案に比べ次の点を考慮する必要がある。例えばこの案の場合、基板(5)上での下部ICペレット(7a)～(7d)のマウント時に±50μm程度の位置誤差は避けられない。従って上部ICペレット(7e)～(7k)のマウント時に下部ICペレット(7a)～(7d)の位置を位置計測センサ等で検出・認識しなければならず、下部ICペレットマウント設備に高価で複雑なものを使用せざ

第3図に望ましい製造工程例を示し、これを説明する。第3図は1つの下部ICペレット

(7a)と1つの上部ICペレット(7e)の関係を示すもので、先ず1つの半導体ウェーハ(9)に複数の下部ICペレット(7a)、(7a)、……を一括形成し(第3図(イ))、他方1つの半導体ウェーハ(10)に複数の上部ICペレット(7e)、(7e)、……を一括形成する(第3図(ロ))。次に半導体ウェーハ(10)を各ペレット毎に細分割して個々の上部ICペレット(7e)、(7e)、……を用意し(第3図(ハ))、この上部ICペレット(7e)、(7e)、……の1つずつを半導体ウェーハ(9)における細分割されていない各下部ICペレット(7a)、(7a)、……上にマウントする(第3図(ニ))。而して後半導体ウェーハ(9)を、各下部ICペレット(7a)、(7a)、……毎に細分割する(第3図(ホ))。そして上部ICペレット(7e)をマウントした下部ICペレット(7a)を基板(5)上にマウントする(第3図(ヘ))。

るを得ず、しかも作業インデックスが遅くなる。これに対し第3図に示した案の場合、半導体ウェーハ(9)における下部ICペレット(7a)、(7a)、……は±1μm以下の位置決め精度で配列・配置されているので、この半導体ウェーハ(9)を一度位置決めしておけば半導体ウェーハ(9)を単にステップ送りするだけで各下部ICペレット(7a)、(7a)、……上に上部ICペレット(7e)、(7e)、……を正確にマウントでき、位置計測センサ等の位置検出・認識手段が不要となって設備が簡単、インデックスも速くなる。

尚、本考案は上記実施例に限らず、基板上にマウントされる半導体ペレットはICペレット以外のものであってもよく、また全ての半導体ペレットを基板上に2段階構造でマウントするものに限らず、勿論多段階構造としてもよい。

ト、発明の効果

本発明によれば基板上にマウントする複数の半導体ペレットの高密度配置化が容易に可能と

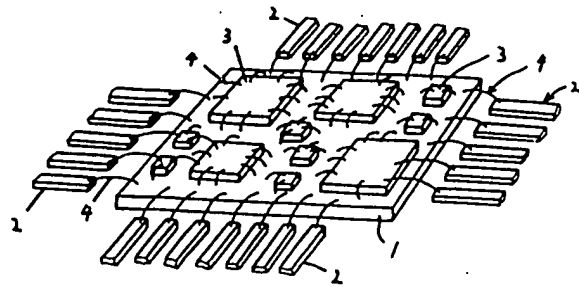
なり、ハイブリッドICの顕著な小形化が図れる。また同一サイズの基板上により多数の半導体ペレットのマウントが可能で、従来品と同一サイズでもより多機能のハイブリッドICが提供できる。

4. 図面の簡単な説明

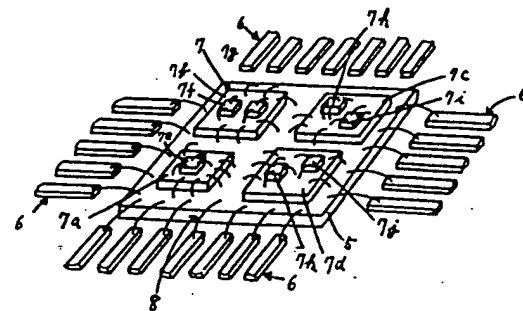
第1図は従来のハイブリッドICの一例を示す要部斜視図、第2図は本発明の一例を示す要部斜視図、第3図は第2図のハイブリッドICの製造工程例を示す平面工程図である。

(5) ……基板、(7)、(7a)～(7k) ……半導体ペレット。

第1図

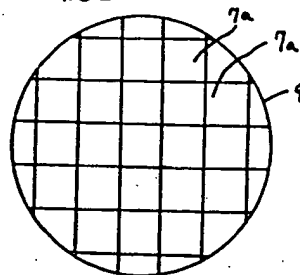


第2図

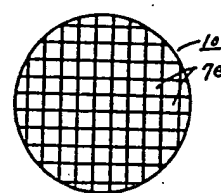


特許出願人 関西日本電気株式会社
代理人 江 原 省 吾
江 原 秀

第3図 (イ)



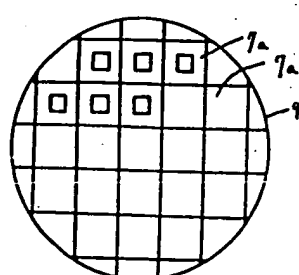
第3図 (ロ)



第3図 (ハ)

□-7e

第3図 (ニ)



第3図 (ホ)



第3図 (ヘ)

